

(54) PATTERN GENERATING CIRCUIT

(11) 61-109316 (A)

(43) 27.5.1986

(19) JP

(21) Appl. No. 59-230941

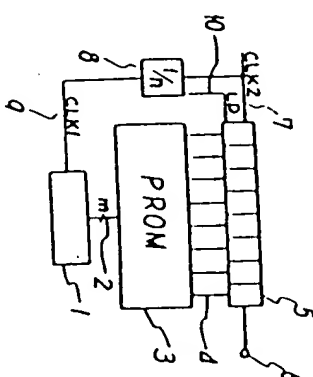
(22) 1.11.1984

(71) PIONEER ELECTRONIC CORP (72) NORIMASA NAKAMURA

(51) Int. Cl. H03K3/78

PURPOSE: To attain generation of a pattern efficiently by using an n-bit high speed shift register to bring the operating speed of a pattern generating circuit into n-time without changing the operating speed of a logical circuit generating the output pattern.

CONSTITUTION: An output 2 of an m-bit binary counter 1 is inputted to an address of a PROM3, which inputs an output 4 of n-bit to a parallel input/serial output shift register 5. Every time an operation clock 7 is inputted, the register 5 shifts the content right by 1 bit and an optional pattern is extracted from an output 6. Further, a parallel input data 4 of the register 5 is fetched in the inside of the register 5 when the level of a load signal 10 is logical 1. Then the binary counter 1 increments the count value by 1 every time a clock 9 being the result of 1/n frequency division of the operating clock 7 by a frequency divider 8 is inputted. Thus, the output 6 of the pattern generating circuit is made n-time without changing the operating speed of the PROM3 generating the output pattern.



⑫ 公開特許公報(A)

昭61-109316

⑮ Int.Cl.⁴
H 03 K 3/78識別記号 庁内整理番号
8425-5J

⑬ 公開 昭和61年(1986)5月27日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 パターン発生回路

⑯ 特 願 昭59-230941

⑰ 出 願 昭59(1984)11月1日

⑱ 発 明 者 中 村 憲 正 東京都大田区大森西4丁目15番5号 バイオニア株式会社
大森工場内

⑲ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

明 細 書

1. 発明の名称

パターン発生回路

2. 特許請求の範囲

- (1) n ビットのパターンデータが格納され、このパターンデータによる並列データを出力する論理回路と、前記論理回路の並列出力データを入力とし、 n ビットの直列パターンデータを送出する並列入力直列出力シフトレジスタとを備えたことを特徴とするパターン発生回路。
- (2) 前記論理回路が、2進カウンタと、前記2進カウンタの出力をアドレス入力とした n ビット出力の記憶回路であることを特徴とする特許請求の範囲第1項記載のパターン発生回路。
- (3) 前記論理回路が、 m ビット並列入力並列出力レジスタと、前記レジスタの出力をアドレス入力とし、このレジスタの入力に記憶回路の $(n+m)$ ビット出力のうち、 m ビットを

供給した記憶回路であることを特徴とした特許請求の範囲第1項記載のパターン発生回路。

3. 発明の詳細な説明

〔技術分野〕

本発明は、デジタル論理回路において、任意の論理パターンを高速で発生するパターン発生回路に関するものである。

〔従来技術〕

任意の論理パターンは、デジタル論理回路の制御信号あるいは、データ信号として必要不可欠なものである。

この論理パターンを発生するための、従来のパターン発生回路を第5図に示す。図において、2進カウンタ1の出力2を組み合わせ論理回路11の入力とし、出力6を得る。出力2は m ビットの論理値 x_1, x_2, \dots, x_m であり、組み合わせ論理回路11は、この m 個の入力 x_1, x_2, \dots, x_m に対して、論理関数 $y = f(x_1, x_2, \dots, x_m)$ によつて表わされる論理値 y を出力する。一般に、組み合わせ論理回路11は記

憶回路(PROM, ROMあるいはRAMなど)により簡単に実現できる。

いま、第4図において、 $m=3$ の論理関数の例を第5図に示す。2進カウンタ1の出力2が000, 100, 010, 110, ……と変化し、これが論理関数 $y=f(x_1, x_2, x_3)$ の入力(x_1, x_2, x_3)となる。従つて、出力6として'11000111'なるパターンが得られる。

かかる従来のパターン発生回路は、パターン発生周期(ビットレート)を10MHzとした場合、全ての回路が10MHz以上で動作しなくてはならない。しかし、動作周波数が高くなると、消費電力の増大、高速動作の論理素子の採用によるコストの増加などの欠点があった。

(目的)

本発明の目的は、従来の欠点を除去し、シフトレジスタのみ高速で動作する論理素子を採用することで、高速のパターン発生回路を提供することにある。

(3)

ードのプログラマブルROMであり、アドレス0番地に'00111010'、アドレス1番地に'11110000'を記憶しておく。2進カウンタ1の出力2を'0'にすると、PROM3はアドレス0番地の内容を出力する。ロード信号10によりシフトレジスタ5は、出力4すなわち、'00111010'を内部に取り込む。

クロック7が入力すると、シフトレジスタ5はその内容を1ビットずつ右にシフトし、パターン発生回路の出力6から順次'00111010'なるパターンが出力される。シフトレジスタ5が並列データを内部に取り込んだ時、動作クロック9が2進カウンタ1に入力し、2進カウンタ1の出力2が'1'となり、PROM3はアドレス1番地の内容を出力する。次のロード信号10によりシフトレジスタはPROM3のアドレス1番地の内容、すなわち、'11110000'を内部に取り込む。以下同様の動作を繰り返して、出力6からパターンが出力

(実施例)

以下、この発明の実施例を図に基づいて説明する。

第1図は、本発明の第1実施例を示すブロック図である。 m ビットの2進カウンタ1の出力2をPROM3のアドレスに入力する。PROM3は n ビットの出力を送出し、この出力4を並列入力直列出力シフトレジスタ5に入力する。動作クロック7が入力するとシフトレジスタ5はその内容を1ビット右にシフトし、出力6から任意のパターンが得られる。

また、シフトレジスタ5の並列入力データ4は、ロード信号10が'1'の時にシフトレジスタ内部に取り込まれる。2進カウンタ1は動作クロック7を分周器8により n 分周した動作クロック9が入力するとカウント値を1ずつ増加する。第2図はこの第1図によるパターン発生回路の制御信号のタイミングを示す。

次に、本発明の動作例を $n=8$ について説明する。PROM3は、例えば8ビット×2 m ワ

(4)

される。PROMの内容を変更することで任意のパターン発生が可能になる。

また、第3図は、本発明の第2実施例を示すブロック図である。 n ビットの並列データを入力する論理回路として、記憶回路PROM13の出力($n+m$)ビットのうち、 m ビットを並列入力並列出力レジスタ12により記憶回路のアドレス入力にフィードバックした順序回路で構成している。

フィードバックされた m ビットデータ14によりPROM13のアドレスが決まり、動作クロック9が並列入力並列出力レジスタ12に入力すると記憶回路に次のアドレスが与えられる。

さらに、PROM13のアドレスが変わると、 n ビットデータとして任意のパターンが得られる。以下、第1実施例と同様に、記憶回路の n ビット出力を並列入力直列出力シフトレジスタ5が取り込み、動作クロック7によつてシフトレジスタの内容は1ビットずつ右にシフ

トする。

(効 果)

以上のように、この発明によれば、 n ビットの高速シフトレジスタを追加するだけで、出力パターンを生成している論理回路の動作速度を変えことなく、パターン発生回路の動作速度を n 倍にすることができる。

4. 図面の簡単な説明

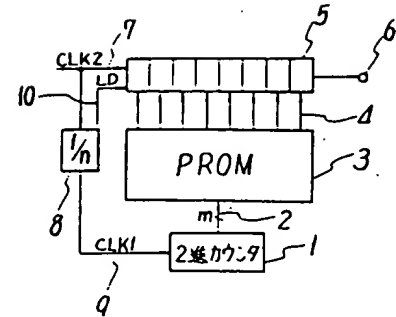
第1図は本発明に係る構成の実施例を示す図、第2図は第1図における要部のタイミングチャートを示す図、第3図は本発明に係る他の実施例を示す図、第4図は従来の構成を示す図、第5図は第4図における入出力関係を表わす論理図である。

- 1 …… 2進カウンタ
- 3, 13 …… PROM
- 5 …… 並列入力直列出力シフトレジスタ
- 8 …… 分周器
- 12 …… 並列入力並列出力レジスタ

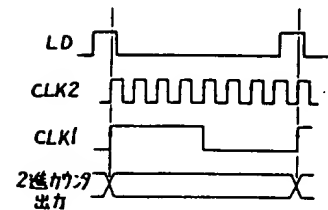
特許出願人 パイオニア株式会社

(7)

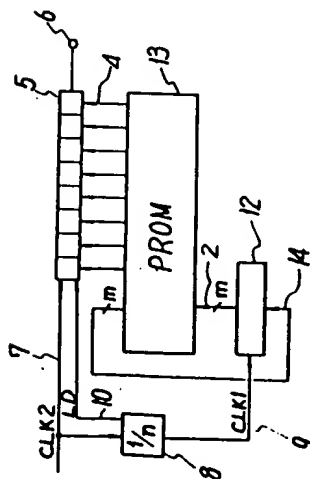
第 1 図



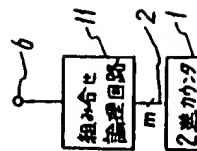
第 2 図



第 3 図



第 4 図



第 5 図

$$y = f(x_1, x_2, x_3)$$

	x_1	x_2	x_3
y	0	0	0
	0	0	1
	0	1	0
	0	1	1
	1	0	0
	1	0	1
	1	1	0
	1	1	1

手続補正書(自発)

昭和60年 7月 8日

特許庁長官 宇賀 道郎 殿

1. 明細書の2ページ13行に記載の
「第5図」を
「第4図」に補正します。

以上

1. 事件の表示

昭和59年 特 許 願 第230941号

2. 発明の名称

パターン発生回路

特許出願人

バイオニア株式会社

3. 補正をする者

事件との関係 特許出願人

住所 〒 153 東京都目黒区目黒1丁目4番1号

名称 (501) バイオニア株式会社

代表者 松本 昭世
〒 (763) 2111 (大代表)



4. 補正の対象

① 明細書の「発明の詳細な説明」の欄

5. 補正の内容

別紙のとおり



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.